

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

**TRANSMITTAL
FORM**

(to be used for all correspondence after initial filing)

Application Number	10/708,662
Filing Date	03/18/2004
First Named Inventor	Frank Lin
Art Unit	
Examiner Name	
Attorney Docket Number	VIAP0088USA
Total Number of Pages in This Submission	3

ENCLOSURES (Check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	4/17/2004

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/708,662
Filing Date	03/18/2004
First Named Inventor	Frank Lin
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0088USA

METHOD OF PAYMENT (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit
Account
Number
Deposit
Account
Name

50-0801

North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments☒ Charge any additional fee(s) or any underpayment of fee(s)☐ Charge fee(s) indicated below, except for the filing fee
to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below		Fee Paid	
Total Claims		-20** =		X		=	
Independent Claims		-3** =		X		=	
Multiple Dependent							

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)**3. ADDITIONAL FEES**

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)

Winston Hsu

Registration No.
(Attorney/Agent)

41,526

Telephone

886289237350

Signature

Date

4/15/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



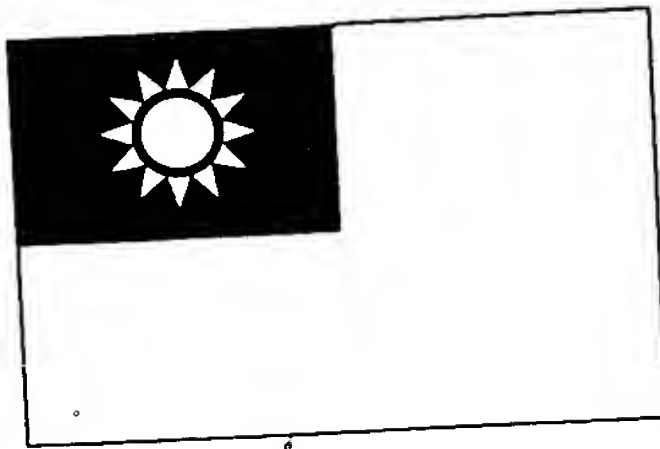
PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092106400	Taiwan R.O.C	03/21/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 21 日
Application Date

申請案號：092106400
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 4 月 10 日
Issue Date

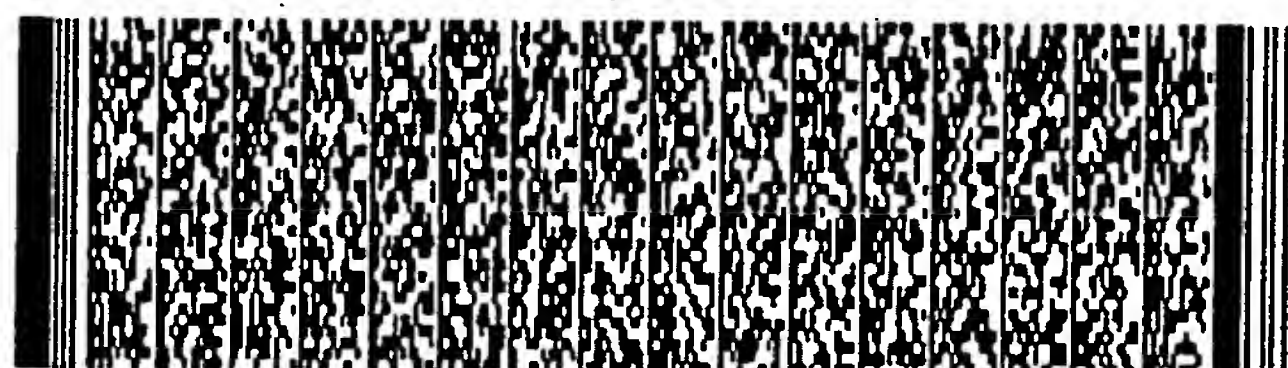
發文字號：09220357440
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 發明名稱	中文	顯示控制電路讀取系統記憶體之儲存資料的方法
	英文	METHOD FOR A DISPLAY CONTROLLER TO ACCESS DATA STORED IN A SYSTEM MEMORY OF A COMPUTER DEVICE
二 發明人 (共7人)	姓名 (中文)	1. 林瑞霖
	姓名 (英文)	1. Lin, Frank
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三 申請人 (共1人)	名稱或姓名 (中文)	1. 威盛電子股份有限公司
	名稱或姓名 (英文)	1. VIA TECHNOLOGIES, INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Wang, Hsueh-Hung

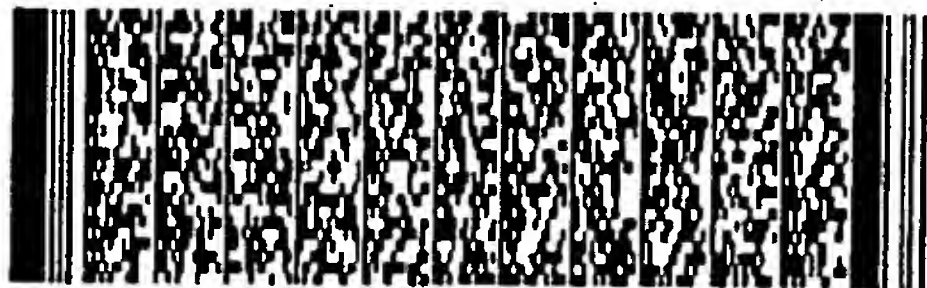


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	
	英文	
二、發明人 (共7人)	姓名 (中文)	2. 吳勝宗
	姓名 (英文)	2. Wu, Victor
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	2. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共7人)	姓名 (中文)	3. 蔡日興
	姓名 (英文)	3. Tsai, Jacky
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	3. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

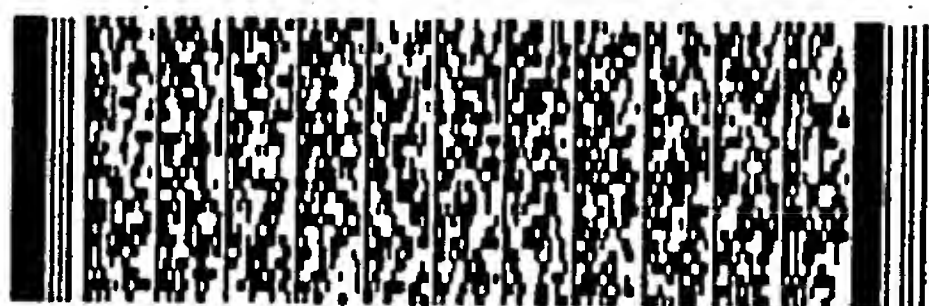


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共7人)	姓名 (中文)	4. 黃祥毅
	姓名 (英文)	4. Huang, Hsiang-Yi
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	4. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

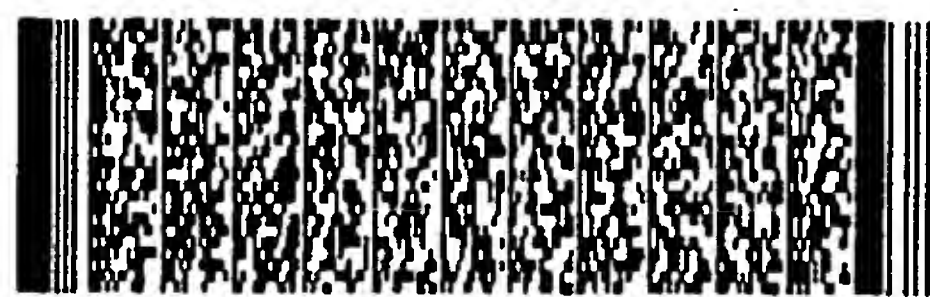


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	
	英文	
二、發明人 (共7人)	姓名 (中文)	5. 張維昀
	姓名 (英文)	5. Chang, Vincent
	國籍 (中英文)	5. 中華民國 TW
	住居所 (中文)	5. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	5. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

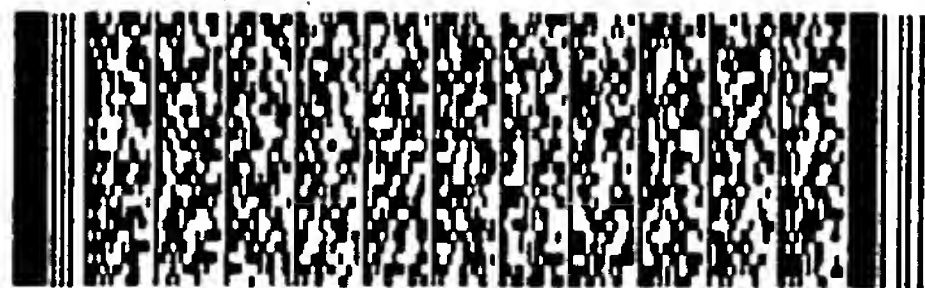


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	
	英文	
二、發明人 (共7人)	姓名 (中文)	6. 劉國平
	姓名 (英文)	6. Liu, Michael
	國籍 (中英文)	6. 中華民國 TW
	住居所 (中文)	6. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	6. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

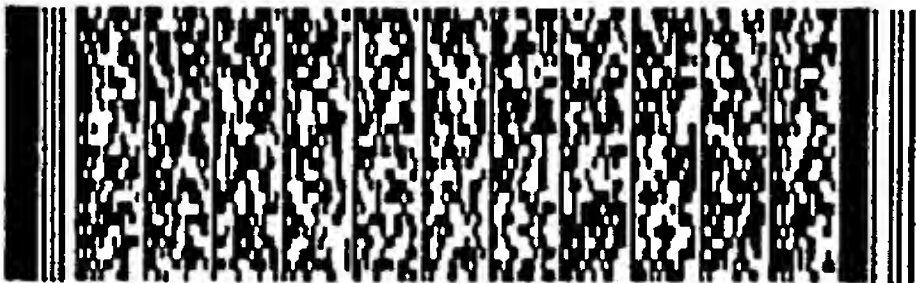


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共7人)	姓名 (中文)	7. 何桓蓁
	姓名 (英文)	7. Ho, Heng-Chen
	國籍 (中英文)	7. 中華民國 TW
	住居所 (中文)	7. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	7. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：顯示控制電路讀取系統記憶體之儲存資料的方法)

一種顯示控制電路讀取系統記憶體之儲存資料的方法，其包含有使用記憶體控制電路設定區塊容量限制值；使用記憶體控制電路依據區塊容量限制值來劃分對應預定讀取順序之複數個記憶體讀取指令為複數個指令區段，且每一指令區段之相對應複數個記憶體讀取指令所讀取之儲存資料之容量總和不大於區塊容量限制值；以及當指令區段中之複數個記憶體讀取指令係用來讀取記憶體裝置中N個分頁上的資料時，則使用該記憶體控制電路調整複數個記憶體讀取指令之讀取順序以驅動記憶體裝置僅需執行(N-1)次分頁切換。

(一)、本案代表圖為：第四圖

(二)、本案代表圖之元件代表符號簡單說明

六、英文發明摘要 (發明名稱：METHOD FOR A DISPLAY CONTROLLER TO ACCESS DATA STORED IN A SYSTEM MEMORY OF A COMPUTER DEVICE)

A method for a display controller to access data stored in a system memory of a computer device is disclosed. The method includes using a memory controller to setting a block capacity value; using the memory controller to divide a plurality of read requests corresponding to a predetermined request sequence into a plurality of request groups, wherein a total amount of data

四、中文發明摘要 (發明名稱：顯示控制電路讀取系統記憶體之儲存資料的方法)

六、英文發明摘要 (發明名稱：METHOD FOR A DISPLAY CONTROLLER TO ACCESS DATA STORED IN A SYSTEM MEMORY OF A COMPUTER DEVICE)

required by read requests grouped in each request group is less than the block capacity value; and using the memory controller to adjust a request sequence corresponding to read requests grouped in each request group for retrieve data stored at different N pages so that a memory device only performs (N-1) times of page switching operations.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

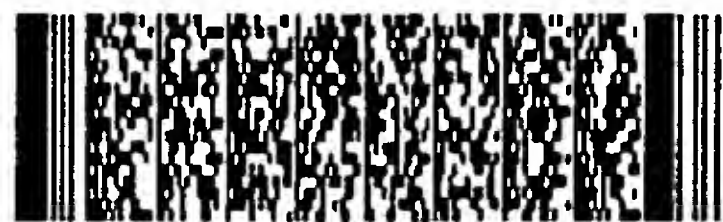
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種讀取記憶體裝置之資料的方法，尤指一種顯示控制電路讀取系統記憶體之資料的方法。

先前技術

隨著多媒體技術發展，影像輸出已逐漸成為電腦裝置的重要工作，亦即顯示卡 (graphics card) 不再僅是進行簡單的 2D 圖形處理，而還必須複雜的 3D 圖形資料運算。請參閱圖一，圖一為習知電腦裝置 10 的功能方塊圖。電腦裝置 10 包含有一中央處理器 12、一北橋電路 14、一南橋電路 16、一繪圖晶片 18、一繪圖記憶體 20、一顯示裝置 22、一系統記憶體 24 以及一輸入裝置 26。中央處理器 12 係用來控制電腦裝置 10 的整體運作，北橋電路 14 係用來協調高速週邊裝置 (例如繪圖晶片 18 與系統記憶體 24) 以及中央處理器 12 之間的訊號傳遞，南橋電路 16 則用來協調低速週邊裝置 (例如輸入裝置 26) 的訊號傳輸，並經由北橋電路 14 來進一步地存取高速週邊裝置。繪圖晶片 18 則用來進行顯示資料的處理，並透過繪圖記憶體 20 來儲存該顯示資料，而繪圖晶片 18 另將該顯示資料輸出至顯示裝置來輸出影像畫面。此外，系統記憶體 24 係用來暫存電腦裝置 10 的資料與程式，例如系統記憶體 24 可載入一作業系統、一常駐程式以及一運算資

五、發明說明 (2)

料等，此外，系統記憶體 24 的存取操作係由北橋電路 14 中的記憶體控制電路 (memory controller) 15 所控制。一般而言，對於繪圖晶片 18 而言，其可使用一加速影像處理埠 (accelerated graphics port, AGP) 介面或一週邊傳輸介面 (peripheral component interconnect, PCI) 來讀取系統記憶體 24 上所載入的運算資料，例如 3D 圖形運算所需的材質 (texture) 資料，相較於週邊傳輸介面，加速影像處理埠介面可快速地讀取系統記憶體 24，因此隨著 3D 圖形運算的大幅運用，所以加速影像處理埠介面已逐漸被繪圖晶片 18 所採用以增加 3D 圖形運算的效率。

請參閱圖二，圖二為習知加速影像處理埠介面與習知週邊傳輸介面的資料傳輸示意圖，由上而下分別代表週邊傳輸介面與加速影像處理埠介面。對於週邊傳輸介面而言，當繪圖晶片 18 連接於週邊傳輸介面後，若繪圖晶片 18 輸出一讀取指令 A1 以經由該週邊傳輸介面讀取系統記憶體 24 上所儲存的資料 D1，則繪圖晶片 18 會佔據該週邊傳輸介面的匯流排 (bus)，直到系統記憶體 24 完成資料 D1 的擷取，並經由該匯流排輸出至繪圖晶片 18 後，繪圖晶片 18 才會釋放匯流排，而另一週邊裝置 (例如輸入裝置 26) 才可使用該週邊傳輸介面的匯流排，亦即於資料 D1 的擷取完成後，另一週邊裝置才可輸出一讀取指令 A2 以經由該週邊傳輸介面讀取系統記憶體 24 上所紀錄

五、發明說明 (3)

的資料 D2。如圖二所示，繪圖晶片 18 輸出讀取指令 A1 至該週邊裝置接收到所需資料 D1 所需時間為 L1，亦即於該時段 L1 之中，該週邊傳輸介面的匯流排係由繪圖晶片 18 所佔用而無法提供其他裝置使用；相反地，對於加速影像處理埠介面而言，其係使用管線 (pipeline) 方式來進行資料讀取，亦即繪圖晶片 18 可使用加速影像處理埠介面的匯流排輸出一讀取指令 A1 以讀取系統記憶體 24 中的資料 D1，然而於系統記憶體 24 完成資料 D1 的擷取前，繪圖晶片 18 可隨即輸出讀取指令 A2、A3、A4、A5 來讀取系統記憶體 24 中的資料 D2、D3、D4、D5，因此如圖二所示，當繪圖晶片 18 輸出讀取指令 A1、A2、A3、A4、A5 後，系統記憶體 24 以管線方式逐一處理讀取指令 A1、A2、A3、A4、A5，並將所擷取的資料 D1、D2、D3、D4、D5 回傳至繪圖晶片 18。因此於同樣運作時間下，當繪圖晶片 18 應用習知週邊傳輸介面的匯流排來讀取系統記憶體 24 時，其會因為該匯流排的閒置時間 (例如 L1) 而造成讀取效率不彰，然而，若繪圖晶片 18 使用習知加速影像處理埠介面則可擁有較佳的資料處理效率。

一般而言，記憶體控制電路 15 係用來控制系統記憶體 24 的資料寫入操作與資料讀取操作，且記憶體控制電路 15 係使用佇列 (queue) 來儲存複數個讀取指令，亦即依據該佇列中之讀取指令的執行順序來擷取系統記憶體 24 所儲存的資料。請參閱圖三，圖三為圖一所示之系統

五、發明說明 (4)

記憶體 24 的資料讀取時序圖。由上而下分別代表控制指令、輸出資料以及時間。若繪圖晶片 18 連續輸出讀取指令 RA1、RA2、RB1 以讀取系統記憶體 24 上相對應資料 D1、D2、D3，其中資料 D1、D2 係儲存於同一行 (row)，亦即同一分頁 (page) A 上，而資料 D3 係儲存於另一行，亦即另一分頁 B 上。記憶體控制電路 15 之佇列中依序紀錄讀取指令 RA1、RA2、RB1，因此其執行順序依序為讀取指令 RA1，讀取指令 RA2，以及讀取指令 RB1，因此於時間 1T 時，記憶體控制電路 15 執行一控制指令 ActA 以開啟系統記憶體 24 之分頁 A，亦即開啟 (turn on) 對應分頁 A 之所有記憶單元以便存取該分頁 A 中之記憶單元所紀錄的資料。於時間 2T 時，記憶體控制電路 15 執行讀取指令 RA1，若資料 D1、D2、D3 的位元長度係為 24 個位元組 (byte)，且系統記憶體 24 需要 3T 的時間來完成 24 個位元組的讀取，因此系統記憶體 24 於時間 4T~7T 間輸出相對應資料 D1。於時間 5T 時，記憶體控制電路 15 執行讀取指令 RA2，因此當資料 D1 於時間 7T 完成輸出時，由於該分頁 A 仍維持開啟狀態，因此依據習知脈衝讀取模式 (burst mode)，系統記憶體 24 可隨即於時間 7T~10T 中擷取出資料 D2。由於資料 D3 係儲存於分頁 B 而非分頁 A，因此當記憶體控制電路 15 欲執行讀取指令 RB1 以讀取分頁 B 上的資料 D3 前，其必須進行關閉 (precharge) 分頁 A 及開啟 (activate) 分頁 B 的操作，亦即於時間 8T 時，記憶體控制電路 15 執行控制指令 PreA 以關閉分頁 A，而於時間 9T

五、發明說明 (5)

時，再執行控制指令 ActB 以開啟分頁 B。當系統記憶體 24 之分頁 B 順利開啟而可進行後續資料讀取運作後，記憶體控制電路 15 於時間 10T 時執行讀取指令 RB1，同樣地，系統記憶體 24 於時間 12T~15T 中開始擷取出資料 D3。

如上所述，雖然繪圖晶片 18 可以使用管線方式來連續輸出複數個讀取指令至記憶體控制電路 15 以讀取系統記憶體 24，然而於資料讀取運作時，當兩讀取指令分別讀取不同分頁上的資料時，系統記憶體 24 必須進行一關閉分頁的操作（例如 PreA）與一開啟分頁的操作（例如 ActA、ActB），所以上述關閉分頁的操作與開啟分頁的操作會造成系統記憶體 24 於資料讀取過程中產生一延遲時間（如圖三所示之時段 L），換句話說，當該複數個讀取指令係分別讀取複數個分頁上的儲存資料時，記憶體控制電路 15 必須不斷地控制系統記憶體 24 於各分頁間進行切換，所以當習知加速影像處理埠介面之匯流排於傳輸資料至繪圖晶片 18 時，會因為上述系統記憶體 24 的延遲時間而使該匯流排必須等待以便接收系統記憶體 24 的輸出資料，因此使得習知加速影像處理埠介面之匯流排的資料傳輸效率不佳。

發明內容

因此本發明之主要目的在於提供一種顯示控制電路

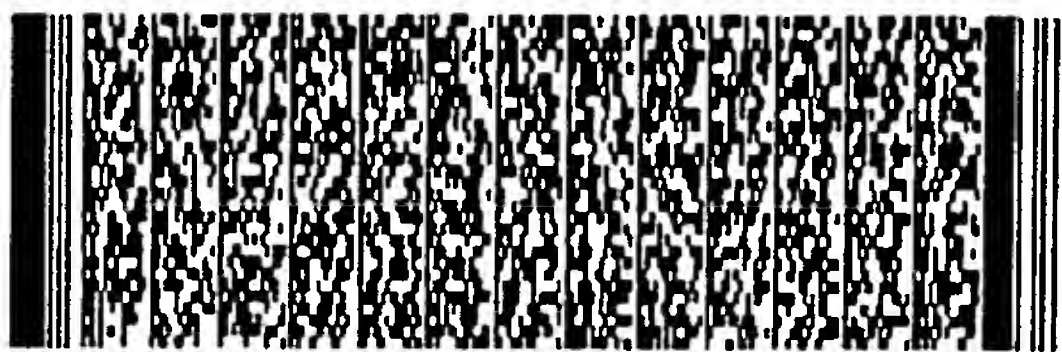
五、發明說明 (6)

讀取系統記憶體之儲存資料的方法，以解決上述問題。

[illegible]

實施方式

請參閱圖一與圖四，圖四為本發明資料讀取方法重排 (reorder) 讀取指令的示意圖。由上而下分別代表未



五、發明說明 (7)

重新排序的佇列 Q' 以及重新排序後的佇列 Q'' ，此外，佇列 Q 係設置於記憶體控制電路 15 中，用來暫存繪圖晶片 18 輸出的讀取指令，而記憶體控制電路 15 依序執行佇列 Q 中的讀取指令以讀取系統記憶體 24 的資料。如圖四所示，繪圖晶片 18 依序輸出讀取指令 $A1$ 、 $B1$ 、 $C1$ 、 $A2$ 、 $B2$ 、 $C2$ 、 $A3$ 、 $B3$ 、 $C3$ 、 $A4$ 、 $B4$ 、 $C4$ 來讀取系統記憶體 24 的資料，因此讀取指令 $A1$ 、 $B1$ 、 $C1$ 、 $A2$ 、 $B2$ 、 $C2$ 、 $A3$ 、 $B3$ 、 $C3$ 、 $A4$ 、 $B4$ 、 $C4$ 依序地記錄於佇列 Q 之佇列單元 (queue entry) $QE1$ 、 $QE2$ 、 $QE3$ 、 $QE4$ 、 $QE5$ 、 $QE6$ 、 $QE7$ 、 $QE8$ 、 $QE9$ 、 $QE10$ 、 $QE11$ 、 $QE12$ 內。請注意，佇列單元 $QE1$ 中所紀錄的讀取指令係第一個被執行的讀取指令，而佇列單元 $QE12$ 中所紀錄的讀取指令係最後一個被執行的讀取指令，且讀取指令 $A1$ 、 $A2$ 、 $A3$ 係讀取系統記憶體 24 之分頁 A ，讀取指令 $B1$ 、 $B2$ 、 $B3$ 係讀取系統記憶體 24 之分頁 B ，以及讀取指令 $C1$ 、 $C2$ 、 $C3$ 係讀取系統記憶體 24 之分頁 C 。本實施例中，記憶體控制電路 15 設定有一區塊容量限制值，用來劃分該未重新排序的佇列 Q ，舉例來說，若該區塊容量限制值設定為 $32 * 64$ 位元 (亦即 32 quadword)，所以由佇列單元 $QE1$ 起，累計讀取指令 $A1$ 、 $B1$ 、 $C1$ 、 $A2$ 、 $B2$ 、 $C2$ 、 $A3$ 、 $B3$ 、 $C3$ 、 $A4$ 、 $B4$ 、 $C4$ 讀取系統記憶體 24 的資料量，因此便可依據該區塊容量限制值來劃分佇列單元 $QE1$ 、 $QE2$ 、 $QE3$ 、 $QE4$ 、 $QE5$ 、 $QE6$ 、 $QE7$ 、 $QE8$ 、 $QE9$ 、 $QE10$ 、 $QE11$ 、 $QE12$ 與相對應讀取指令 $A1$ 、 $B1$ 、 $C1$ 、 $A2$ 、 $B2$ 、 $C2$ 、 $A3$ 、 $B3$ 、 $C3$ 、 $A4$ 、 $B4$ 、 $C4$ 為複數個指令區段，

五、發明說明 (8)

例如讀取指令 A1、B1、C1、A2、B2、C2 讀取系統記憶體 24 的資料總和不大于 32×64 位元，而讀取指令 A1、B1、C1、A2、B2、C2、A3 讀取系統記憶體 24 的資料總和則大于 32×64 位元，因此佇列單元 QE1、QE2、QE3、QE4、QE5、QE6 與相對應讀取指令 A1、B1、C1、A2、B2、C2 則劃分為一第一指令區段，同樣地，佇列單元 QE7、QE8、QE9、QE10、QE11、QE12 與相對應讀取指令 A3、B3、C3、A4、B4、C4 則可劃分為一第二指令區段。

本發明資料讀取方法重排讀取指令的後續運作詳述如下。首先進行佇列 Q' 之第一指令區段中讀取指令 A1、B1、C1、A2、B2、C2 的重新排序操作，已知佇列單元 QE1 係為佇列 Q' 的啟始端，所以佇列單元 QE1 所記錄的讀取指令 A1 不會更動，亦即於佇列 Q' 中，佇列單元 QE1 仍儲存讀取指令 A1，然後搜尋佇列 Q' 之第一指令區段中是否有與讀取指令 A1 一樣讀取系統記憶體 24 之分頁 A 的任何讀取指令，於本實施例中，佇列單元 QE4 所儲存的讀取指令 A2 亦讀取系統記憶體 24 的分頁 A，因此調整讀取指令 A2 的執行順序而將讀取指令 A2 緊鄰於讀取指令 A1 之後，亦即於佇列 Q' 中，佇列單元 QE2 係儲存讀取指令 A2，由於佇列 Q' 的第一指令區段中，排列於佇列單元 QE4 後之佇列單元 QE5、QE6 所儲存的讀取指令 B2、C2 並非讀取系統記憶體 24 的分頁 A，因此佇列 Q' 的第一指令區段中讀取系統記憶

五、發明說明 (9)

體 24 之分頁 A 的所有讀取指令 A1、A2 已完成重新排序操作。如上所述，讀取指令 B1、C1、B2、C2 尚未進行重新排序操作，而讀取指令 B1 係記錄於佇列 Q' 的佇列單元 QE2 而對應較高的執行優先權 (queue priority)，因此調整讀取指令 B1 的執行順序而將讀取指令 B1 緊鄰於讀取指令 A2 之後，亦即於佇列 Q' 中，佇列單元 QE3 係用來儲存讀取指令 B1，然後搜尋佇列 Q' 之第一指令區段中是否有與讀取指令 B1 一樣讀取系統記憶體 24 之分頁 B 的任何讀取指令，於本實施例中，佇列 Q' 之佇列單元 QE5 所儲存的讀取指令 A2 亦讀取系統記憶體 24 的分頁 B，因此亦調整讀取指令 B2 的執行順序而將讀取指令 B2 緊鄰於讀取指令 B1 之後，亦即於佇列 Q' 中，佇列單元 QE4 係儲存讀取指令 B2，由於佇列 Q' 的第一指令區段中，排列於佇列單元 QE5 後之佇列單元 QE6 所儲存的讀取指令 C2 並非讀取系統記憶體 24 的分頁 B，因此佇列 Q' 的第一指令區段中讀取系統記憶體 24 之分頁 B 的所有讀取指令 B1、B2 已完成重新排序的操作。由於僅剩讀取指令 C1、C2 尚未進行重新排序操作，而讀取指令 C1 係記錄於佇列 Q' 的佇列單元 QE3 而對應較高的執行優先權，因此調整讀取指令 C1 的執行順序而將讀取指令 C1 緊鄰於讀取指令 B2 之後，亦即於佇列 Q' 中，佇列單元 QE5 係用來儲存讀取指令 C1，然後搜尋佇列 Q' 之第一指令區段中是否有與讀取指令 C1 一樣讀取系統記憶體 24 之分頁 C 的任何讀取指令，於本實施例中，佇列 Q' 之佇列單元 QE6 所儲存的讀取指令 C2 亦讀取系統記憶體

五、發明說明 (10)

24的分頁C，因此亦調整讀取指令C2的執行順序而將讀取指令C2緊鄰於讀取指令C1之後，亦即於佇列Q'中，佇列單元QE6係儲存讀取指令C2，此時，佇列Q'之第一指令區段中的所有讀取指令A1、B1、C1、A2、B2、C2已完成重新排序的操作，亦即於重新排序佇列Q'後的相對應佇列Q'中，佇列單元QE1、QE2、QE3、QE4、QE5、QE6則依序紀錄讀取指令A1、A2、B1、B2、C1、C2。

依據上述同樣的操作原理來進行後續佇列Q'之第二指令區段中讀取指令A3、B3、C3、A4、B4、C4的重新排序操作。請注意，於佇列Q'中，最後一個佇列單元QE6係記錄讀取指令C3，且讀取指令C3係用來讀取系統記憶體24之分頁C，因此於佇列Q'之第二指令區段進行重新排序操作時，係先搜尋佇列Q'之第二指令區段中是否有讀取系統記憶體24之分頁C的任何讀取指令，佇列Q'之佇列單元QE7、QE8所紀錄之讀取指令A3、B3並非讀取系統記憶體24之分頁C，然而後續佇列Q'之佇列單元QE9所記錄的讀取指令C3係讀取系統記憶體24之分頁C，因此調整讀取指令C3的執行順序而將讀取指令C3緊鄰於讀取指令C2之後，亦即於佇列Q'中，佇列單元QE7係儲存讀取指令C3，然後搜尋佇列Q'之第二指令區段中是否有與讀取指令C3一樣讀取系統記憶體24之分頁C的任何讀取指令。由於佇列Q'之第一指令區段中的最後一個佇列單元QE6與佇列Q'之第二指令區段中的第一個佇列單元QE7所紀錄

五、發明說明 (11)

的讀取指令 C2、C3均讀取同一分頁 C，因此當佇列 Q' 之第一指令區段完成資料讀取操作時，佇列 Q' 之第二指令區段開始執行時便不必進行任何切換分頁的操作而提高資料讀取的效率。於本實施例中，佇列 Q' 之佇列單元 QE12 所儲存的讀取指令 C4 亦讀取系統記憶體 24 的分頁 C，因此亦調整讀取指令 C4 的執行順序而將讀取指令 C4 緊鄰於讀取指令 C3 之後，亦即於佇列 Q' 中，佇列單元 QE8 係儲存讀取指令 C4，由於佇列 Q' 的第二指令區段中，讀取指令 C4 係記錄於最後一個佇列單元 QE12 中，因此佇列 Q' 的第二指令區段中讀取系統記憶體 24 之分頁 C 的所有讀取指令 C3、C4 已完成重新排序的操作。如上所述，讀取指令 A3、B3、A4、B4 尚未進行重新排序操作，而讀取指令 A3 係記錄於佇列 Q' 的佇列單元 QE7 而對應較高的執行優先權，因此調整讀取指令 A3 的執行順序而將讀取指令 A3 緊鄰於讀取指令 C4 之後，亦即於佇列 Q' 中，佇列單元 QE9 係用來儲存讀取指令 A3，然後搜尋佇列 Q' 之第二指令區段中是否有與讀取指令 A3 一樣讀取系統記憶體 24 之分頁 A 的任何讀取指令，於本實施例中，佇列 Q' 之佇列單元 QE10 所儲存的讀取指令 A4 亦讀取系統記憶體 24 的分頁 A，因此亦調整讀取指令 A4 的執行順序而將讀取指令 A4 緊鄰於讀取指令 A3 之後，亦即於佇列 Q' 中，佇列單元 QE10 係儲存讀取指令 A4，由於佇列 Q' 的第二指令區段中，排列於佇列單元 QE10 後之佇列單元 QE11 所儲存的讀取指令 b4 並非讀取系統記憶體 24 的分頁 A，因此佇列 Q' 的第二指令

五、發明說明 (12)

區段中讀取系統記憶體 24 之分頁 A 的所有讀取指令 A3、A4 已完成重新排序的操作。由於讀取指令 B3、B4 尚未進行重新排序操作，而讀取指令 B3 係記錄於佇列 Q' 的佇列單元 QE8 而對應較高的執行優先權，因此調整讀取指令 B3 的執行順序而將讀取指令 B3 緊鄰於讀取指令 A4 之後，亦即於佇列 Q' 中，佇列單元 QE11 係用來儲存讀取指令 B3，然後搜尋佇列 Q' 之第二指令區段中是否有與讀取指令 B3 一樣讀取系統記憶體 24 之分頁 B 的任何讀取指令，於本實施例中，佇列 Q' 之佇列單元 QE11 所儲存的讀取指令 B4 亦讀取系統記憶體 24 的分頁 B，因此亦調整讀取指令 B4 的執行順序而將讀取指令 B4 緊鄰於讀取指令 B3 之後，亦即於佇列 Q' 中，佇列單元 QE12 係儲存讀取指令 B4，此時，佇列 Q' 之第二指令區段中的所有讀取指令 A3、B3、C3、A4、B4、C4 已完成重新排序的操作，亦即於重新排序佇列 Q' 後的相對應佇列 Q' 中，佇列單元 QE7、QE8、QE9、QE10、QE11、QE12 則依序紀錄讀取指令 C3、C4、A3、A4、B3、B4。

如業界所習知，繪圖晶片 18 係以依序存取 (in-order) 方式而經由加速影像處理埠介面讀取系統記憶體 24，亦即繪圖晶片 18 依序輸出讀取指令 A1、B1、C1、A2、B2、C2、A3、B3、C3、A4、B4、C4 來分別依序讀取系統記憶體 24 的資料，因此，記憶體控制電路 15 亦必須依據讀取指令 A1、B1、C1、A2、B2、C2、A3、B3、



五、發明說明 (13)

C3、A4、B4、C4的指令接收次序以將對應該讀取指令 A1、B1、C1、A2、B2、C2、A3、B3、C3、A4、B4、C4的資料回傳至繪圖晶片 18，舉例來說，若讀取指令 A1、B1、C1、A2、B2、C2、A3、B3、C3、A4、B4、C4係分別讀取系統記憶體 24 上的儲存資料 DATA1、DATA2、DATA3、DATA4、DATA5、TADA6、TADA7、TADA8、TADA9、DATA10、DATA11、DATA12，則不管記憶體控制電路 15 實際執行讀取指令 A1、B1、C1、A2、B2、C2、A3、B3、C3、A4、B4、C4 的次序為何，記憶體控制電路 15 最後必須依據儲存資料 DATA1~DATA12 的次序而將上述儲存資料 DATA1~DATA12 回傳至繪圖晶片 18。所以，當讀取指令 A1、B1、C1、A2、B2、C2、A3、B3、C3、A4、B4、C4 的執行次序改變時，必然會造成繪圖晶片 18 於等待記憶體控制電路 15 回傳資料，如圖四所示，於未重新排序的佇列 Q' 中，讀取指令 B1 係記錄於佇列單元 QE2 中，所以當記憶體控制電路 15 依據佇列 Q' 來執行讀取指令 A1、B1、C1、A2、B2、C2、A3、B3、C3、A4、B4、C4 時，當讀取指令 A1 完成後即會執行讀取指令 B1。然而，於已重新排序的佇列 Q'' 中，讀取指令 B1 係記錄於佇列單元 QE3 中，所以當記憶體控制電路 15 依據佇列 Q'' 來執行讀取指令 A1、A2、B1、B2、C1、C2、C3、C4、A3、A4、B3、B4 時，讀取指令 B1 則必須等到讀取指令 A1、A2 完成後才會被執行，亦即當繪圖晶片 18 接收到記憶體控制電路 15 執行讀取指令 A1 所回傳的儲存資料 DATA1 後，繪圖晶片 18 必

五、發明說明 (14)

須等待記憶體控制電路 15 執行讀取指令 A2 以讀取儲存資料 DATA4 的操作時間。請注意，記憶體控制電路 15 如業界所習知會先將儲存資料 DATA4 記錄於一暫存器 (buffer) 中，亦即不會立即回傳至繪圖晶片 18，然後當記憶體控制電路 15 執行讀取指令 B1 後才將相對應儲存資料 DATA2 回傳至繪圖晶片 18。同樣地，對於讀取指令 C1 而言，其係記錄於佇列 Q' 之佇列單元 QE5 中，亦即當繪圖晶片 18 接收到記憶體控制電路 15 執行讀取指令 B1 所回傳的儲存資料 DATA2 後，繪圖晶片 18 必須等待記憶體控制電路 15 執行讀取指令 B2 以讀取儲存資料 DATA5 的操作時間，而記憶體控制電路 15 亦先將儲存資料 DATA5 記錄於該暫存器中而未立即回傳至繪圖晶片 18，然後當記憶體控制電路 15 執行讀取指令 C1 後則可將相對應儲存資料 DATA3 回傳至繪圖晶片 18，由於該暫存器以儲存有儲存資料 DATA4、DATA5，因此記憶體控制電路 15 可隨即讀取該暫存器以依序傳送儲存資料 DATA4 與儲存資料 DATA5 至繪圖晶片 18。

比較圖四所示之未重新排序的佇列 Q' 以及重新排序後的佇列 Q''，於第一指令區段中，讀取指令 B1、C1 於佇列 Q' 中係記錄於佇列單元 QE2、QE3 中，而讀取指令 B1、C1 於重新排序後之佇列 Q'' 中係記錄於佇列單元 QE3、QE5 中，由於佇列單元 QE3 的執行優先權低於佇列單元 QE2，以及佇列單元 QE5 的執行優先權低於佇列單元 QE3，因此當記憶體控制電路 15 執行重新排序後之佇列 Q'' 時，繪圖

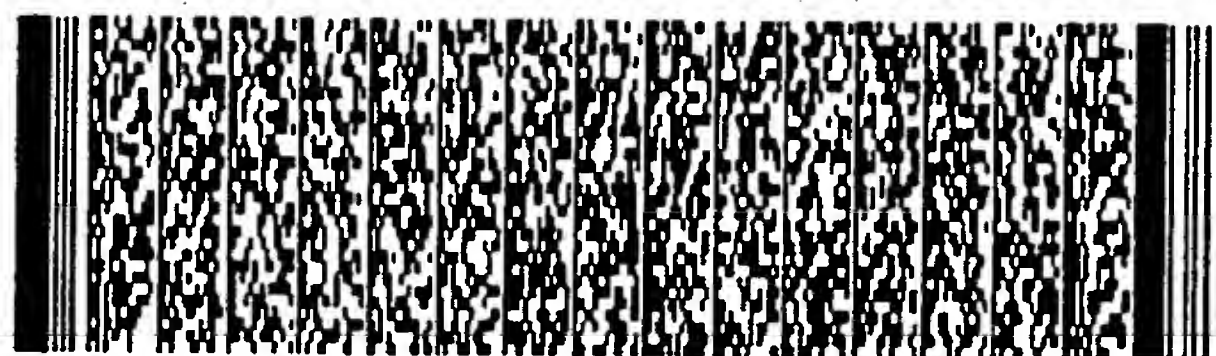
五、發明說明 (15)

晶片 18 必須等待記憶體控制電路 15 以便獲得所要的儲存資料 DATA2、DATA3，所以，為了避免繪圖晶片 18 因為等待資料而嚴重地影響其執行效率，因此本發明資料讀取方法使用該區塊容量限制值以調整執行重新排序的讀取指令數目，亦即當該區塊容量限制值為 32×64 位元時，對於最差狀況 (worst case) 來說，例如讀取指令 A3 紀錄於佇列 Q' 之第二指令區段中的佇列單元 QE7，卻紀錄於重新排序後之佇列 Q'' 的第二指令區段中的佇列單元 QE12，在不考慮系統記憶體 24 之分頁切換的操作時間下，本發明資料讀取方法可使繪圖晶片 18 等待資料的時間不會大於系統記憶體 24 擷取 32×64 位元之資料量的時間，換句話說，本發明資料讀取方法可設定適當的區塊容量限制值以控制繪圖晶片 18 等待資料的時間，亦即可調整繪圖晶片 18 擁有最佳的執行效率。更進一步，可動態調整適當的區塊容量限制，依據系統記憶體 24 當時忙碌 (busy) 的程度來調整，舉例來說，當記憶體處於忙碌狀態時，可調大區塊以減少被關閉頁的數目，反之，可調小區塊或維持原有之設定。此外，本發明資料讀取方法雖然會造成繪圖晶片 18 於等待資料的過程中閒置 (idle)，然而，當佇列中的讀取指令於重新排序後，卻可大幅降低系統記憶體 24 之分頁切換的操作時間，舉例來說，對於未重新排序的佇列 Q' 來說，當記憶體控制電路 15 執行讀取指令 A1、B1、C1、A2、B2、C2、A3、B3、C3、A4、B4、C4 讀取系統記憶體 24 的儲存資料 DATA1~DATA12 時，

五、發明說明 (16)

系統記憶體 24 必須執行 11 次分頁切換的操作，如業界所習知，該分頁切換的操作包含有關閉一分頁及開啟另一分頁，因此必定會造成系統記憶體 24 的資料擷取效率不佳，而本實施例則將讀取指令 A1、B1、C1、A2、B2、C2、A3、B3、C3、A4、B4、C4 劃分為第一、二指令區段，並於第一、二區塊中進行重新排序的操作來產生佇列 Q'，當記憶體控制電路 15 依據佇列 Q' 來執行讀取指令 A1、A2、B1、B2、C1、C2、C3、C4、A3、A4、B3、B4 時，系統記憶體 24 僅需執行 4 次分頁切換的操作，所以可大幅增進系統記憶體 24 的資料擷取效率。總而言之，雖然對於繪圖晶片 18 來說，本發明資料讀取方法會使其閒置以等待所需資料，然而，對於系統記憶體 24 而言，本發明資料讀取方法可大幅地增進其資料擷取效率，換句話說，系統記憶體 24 之資料擷取效率的提升可同時補償繪圖晶片 18 因為等待所需資料所需的時間。請注意，本實施例中，該排序方法係應用於一顯示控制電路讀取一系統記憶體所輸出的讀取指令，然而，本發明資料讀取方法亦可應用於其他資料處理裝置（例如中央處理器）對該系統記憶體進行資料讀取運作，亦可達到提升整體資料讀取之效率的目的，均屬本發明之範疇。

相較於習知技術，本發明的資料讀取方法使用一區塊容量限制值來劃分一佇列中的複數個讀取指令為複數個指令區段，其中係經由該區塊容量限制值來限定一繪圖



五、發明說明 (17)

晶片於一最差狀況下所需等待的時間，因此可避免該繪圖晶片於複數個讀取指令經由重排執行順序後造成本身運算效能的惡化，此外，若該指令區段中的讀取指令係用來讀取一系統記憶體中的N個分頁，則本發明資料讀取方法重排該指令區段中讀取指令的執行順序以使重排後的讀取指令執行時，該系統記憶體僅需執行(N-1)次分頁切換的操作。整體而言，本發明資料讀取方法可提升該繪圖晶片讀取該系統記憶體的執行效率，並進一步地增進該繪圖晶片的運算效能。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。

圖式簡單說明

圖式之簡單說明：

圖一為習知電腦裝置的功能方塊圖。

圖二為習知加速影像處理埠介面與習知週邊傳輸介面的資料傳輸示意圖。

圖三為圖一所示之系統記憶體的资料讀取時序圖。

圖四為本發明資料讀取方法重排讀取指令的示意圖。

圖式之符號說明

10 電腦裝置

14 北橋電路

18 繪圖晶片

22 顯示裝置

26 輸入裝置

12 中央處理器

16 南橋電路

20 繪圖記憶體

24 系統記憶體



六、申請專利範圍

頁，則使用該記憶體控制電路先執行該下一指令區段中所有屬於該分頁之儲存資料所對應之記憶體讀取指令，再執行該下一指令區段中異於該分頁然而卻屬於相同分頁之儲存資料所對應之記憶體讀取指令。

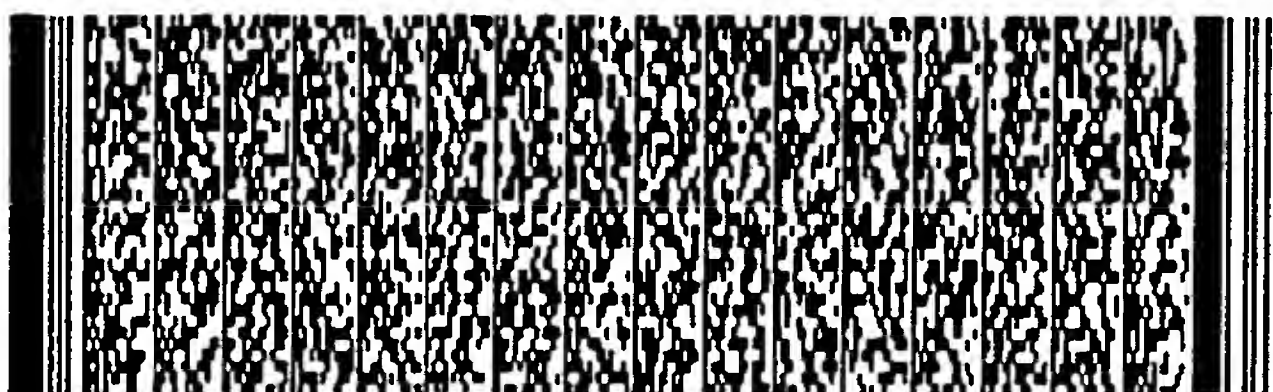
3. 如申請專利範圍第1項所述之資料讀取方法，其中該記憶體控制電路係使用一佇列（queue）以儲存該複數個記憶體讀取指令。

4. 如申請專利範圍第1項所述之資料讀取方法，其中該記憶體控制電路係設置於該電腦系統之北橋電路（north bridge circuit）中，且該北橋電路係用來控制一顯示控制電路與該記憶體裝置之間的資料傳輸。

5. 如申請專利範圍第1項所述之資料讀取方法，其中該記憶體控制裝置讀取該記憶體裝置之資料係為傳輸至一顯示控制電路（display controller）。

6. 如申請專利範圍第5項所述之資料讀取方法，其中該顯示控制電路係經由該電腦系統之加速影像處理埠（accelerated graphics port, AGP）匯流排而電連接於該記憶體控制電路。

7. 如申請專利範圍第5項所述之資料讀取方法，其中該



六、申請專利範圍

顯示控制電路係為一顯示卡 (graphics card)。

8. 如申請專利範圍第5項所述之資料讀取方法，其中該顯示控制電路係設置於該電腦系統之北橋電路中。

9. 如申請專利範圍第1項所述之資料讀取方法，其中該記憶體裝置係為該電腦系統之系統記憶體。

10. 如申請專利範圍第1項所述之資料讀取方法，其中該記憶體控制電路係依據該預定讀取順序逐一回覆相對應儲存資料至顯示控制電路。

11. 一種記憶體控制器讀取記憶體裝置的方法，該記憶體控制器執行複數個記憶體讀取指令，該複數個記憶體讀取指令依一預定讀取順序該記憶體裝置所儲存之資料，該方法至少包含：
使用該記憶體控制器設定一區塊容量限制值；
使用該記憶體控制電路依據該區塊容量限制值與該預定讀取順序來劃分對應該複數個記憶體讀取指令為複數個指令區段，且每一指令區段讀取之儲存資料之容量限制值；以及
依據屬於同一指令區段之複數個記憶體讀取指令所對應之儲存資料於該記憶體裝置所屬的分頁，使用該記

六、申請專利範圍

記憶體控制電路先執行該指令區段中所有屬於相同分頁之段之儲存資料所對應之指令，再執行該指令所對應之段之儲存資料所對應之指令。

12. 如申請專利範圍第11項所述之記憶體控制器讀取記憶體裝置的方法，另包含：

若下一指令區段中之記憶體讀取指令所對應之儲存指令，若於該記憶體裝置所屬的分頁中，具有相同於前一指令區段中，最後一個記憶體讀取指令所對應之指令，則使用該記憶體控制電路先執行該指令，所有屬於該分頁之儲存資料所對應之指令，再執行該下一指令區段中之記憶體讀取指令。

13. 如申請專利範圍第11項所述之記憶體控制器讀取記憶體裝置的方法，其中該記憶體控制電路係使用一佇列（queue）以儲存該複數個記憶體讀取指令。

14. 如申請專利範圍第11項所述之記憶體控制器讀取記憶體裝置的方法，其中該記憶體控制電路係一電腦系統之北橋電路（north bridge circuit），且該北橋晶片係用來控制一顯示控制電路與該記憶體裝置之間的資料傳輸。



六、申請專利範圍

15. 如申請專利範圍第11項所述之記憶體控制器讀取記憶體裝置的方法，其中該記憶體控制裝置讀取該記憶體裝置之資料係為傳輸至一顯示控制電路（display controller）。

16. 如申請專利範圍第15項所述之記憶體控制器讀取記憶體裝置的方法，其中該顯示控制電路係經由該電腦系統之加速影像處理埠（accelerated graphics port, AGP）匯流排而電連接於該記憶體控制電路。

17. 如申請專利範圍第15項所述之記憶體控制器讀取記憶體裝置的方法，其中該顯示控制電路係為一顯示卡（graphics card）。

18. 如申請專利範圍第15項所述之記憶體控制器讀取記憶體裝置的方法，其中該顯示控制電路係設置於該電腦系統之北橋電路中。

19. 如申請專利範圍第11項所述之記憶體控制器讀取記憶體裝置的方法，其中該記憶體裝置係為一電腦系統之系統記憶體。

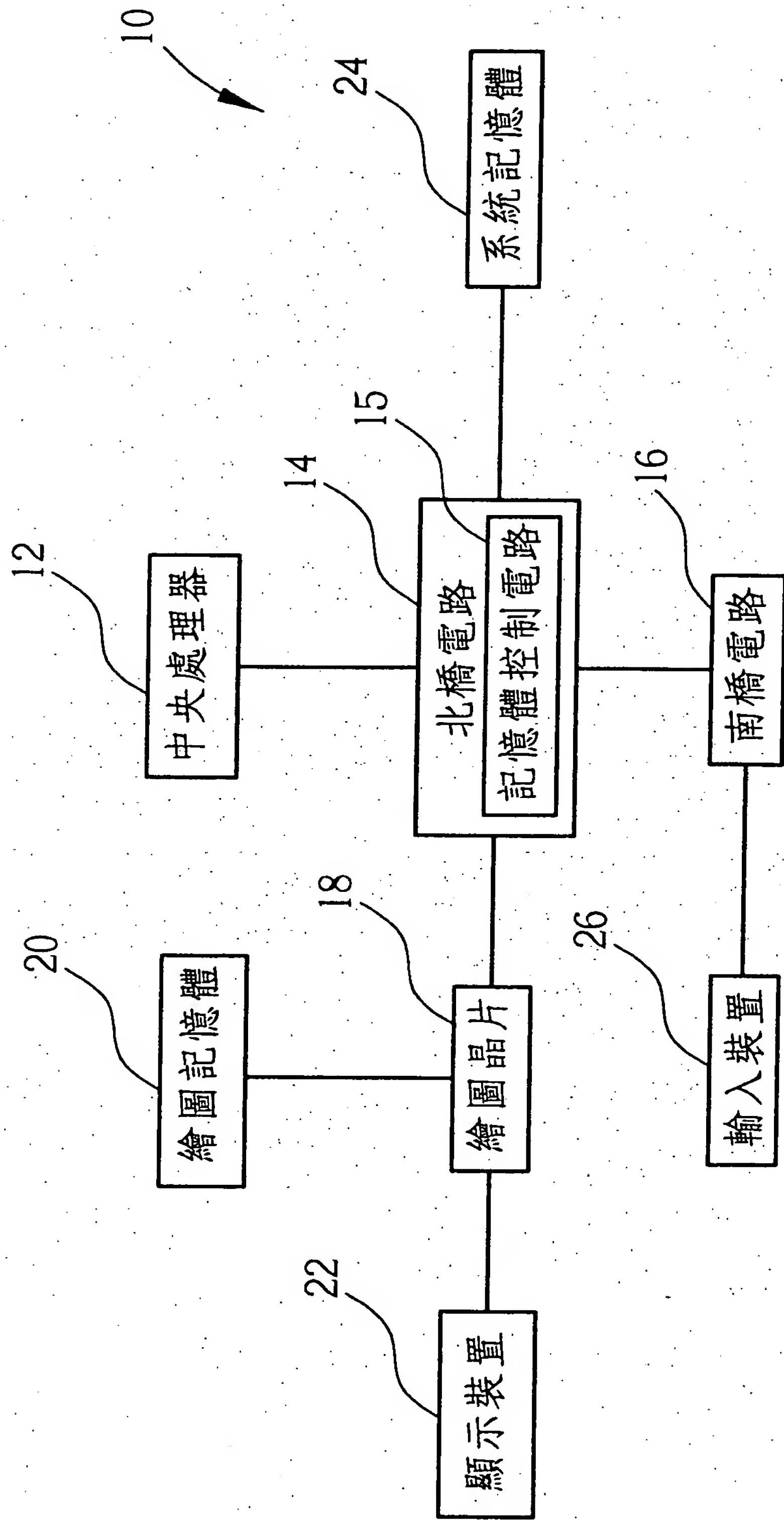
20. 如申請專利範圍第11項所述之記憶體控制器讀取記



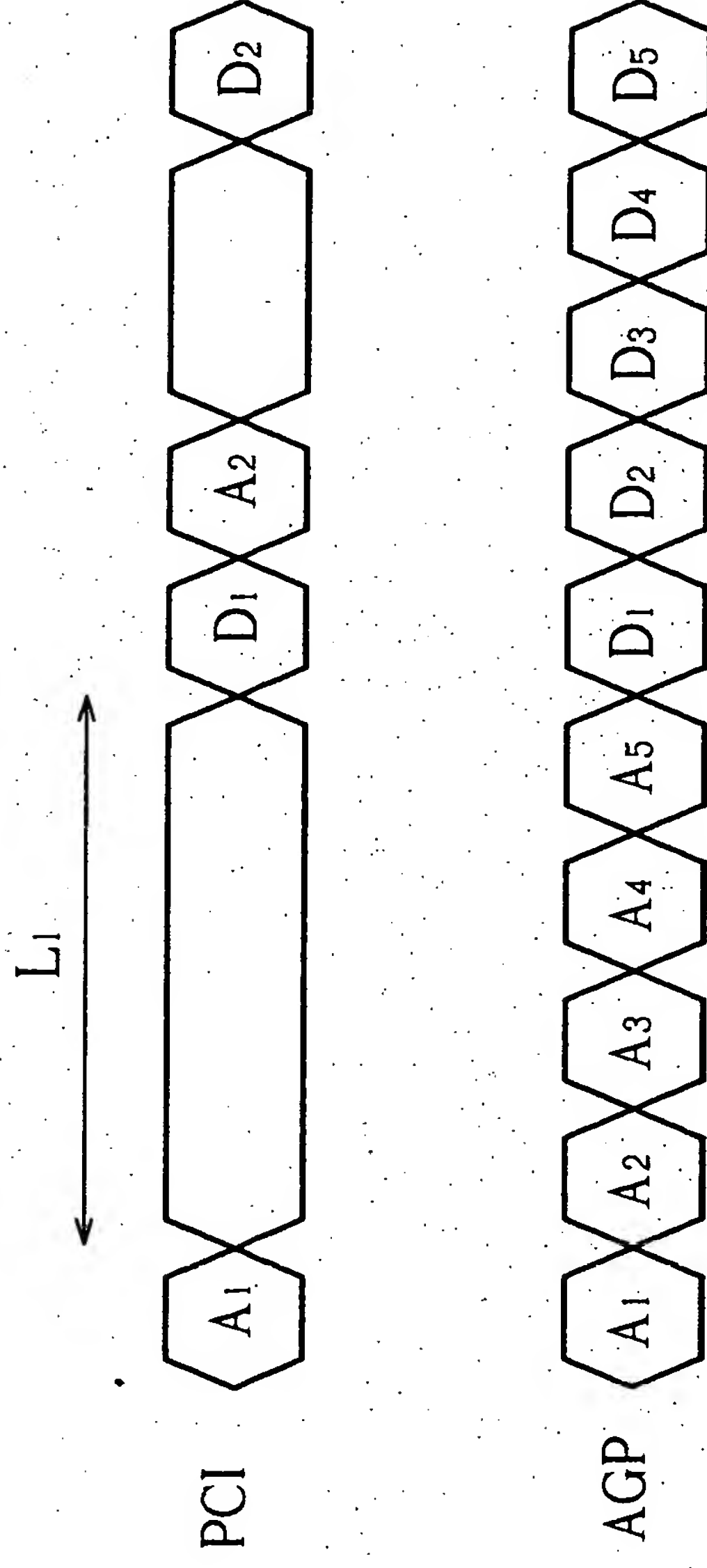
六、申請專利範圍

憶體裝置的方法，其中該記憶體控制電路係依據該預定讀取順序逐一回覆相對應儲存資料至一顯示控制電路。

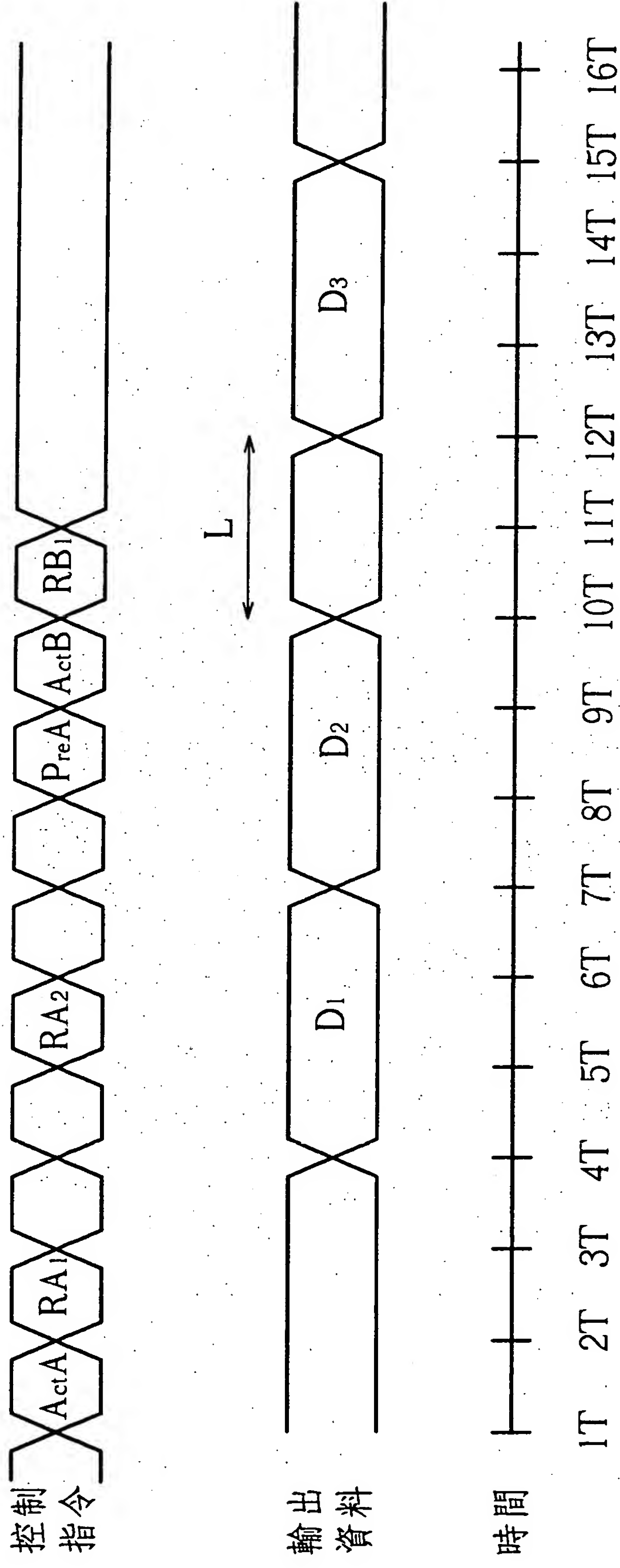




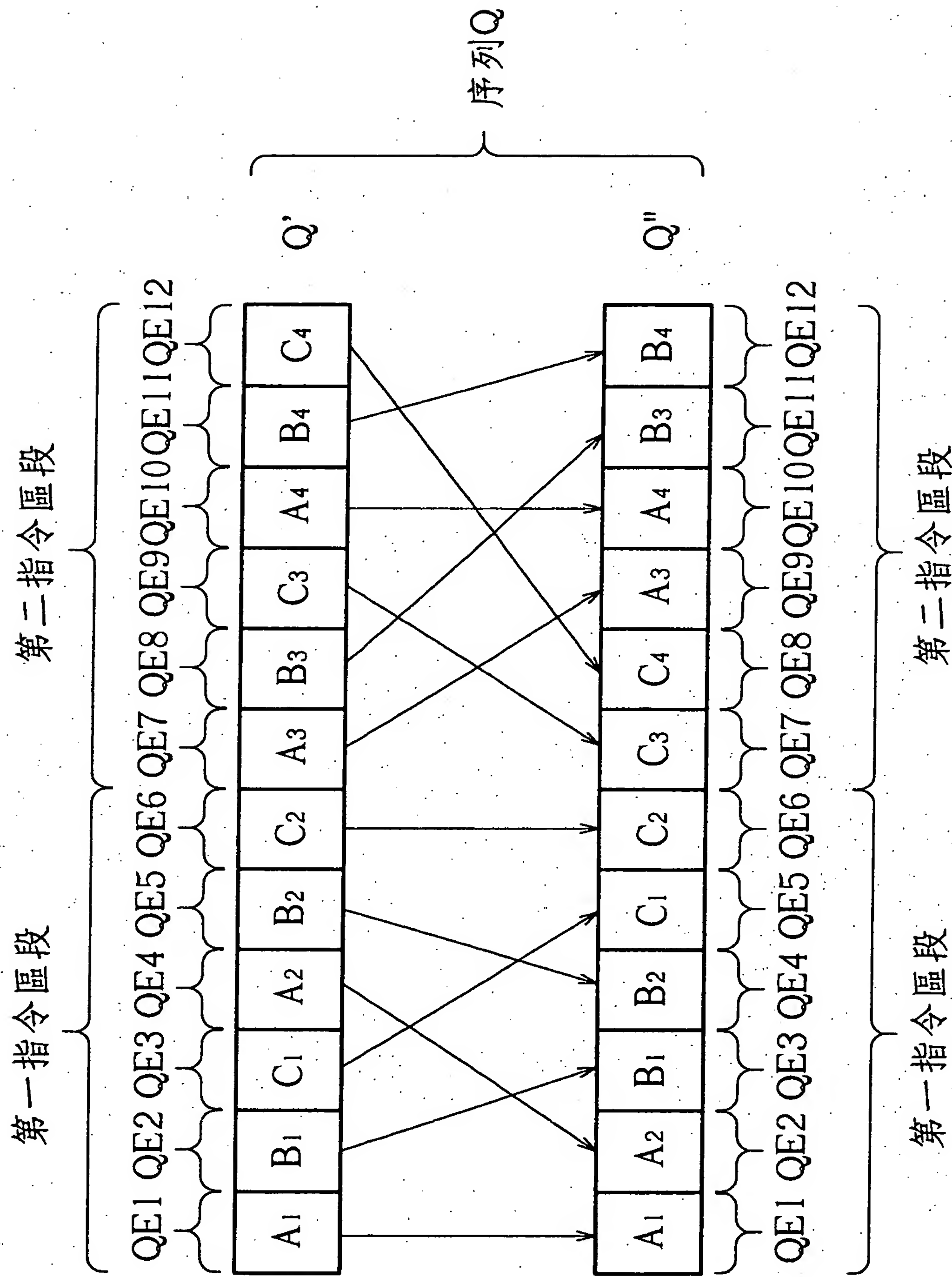
圖一



圖二

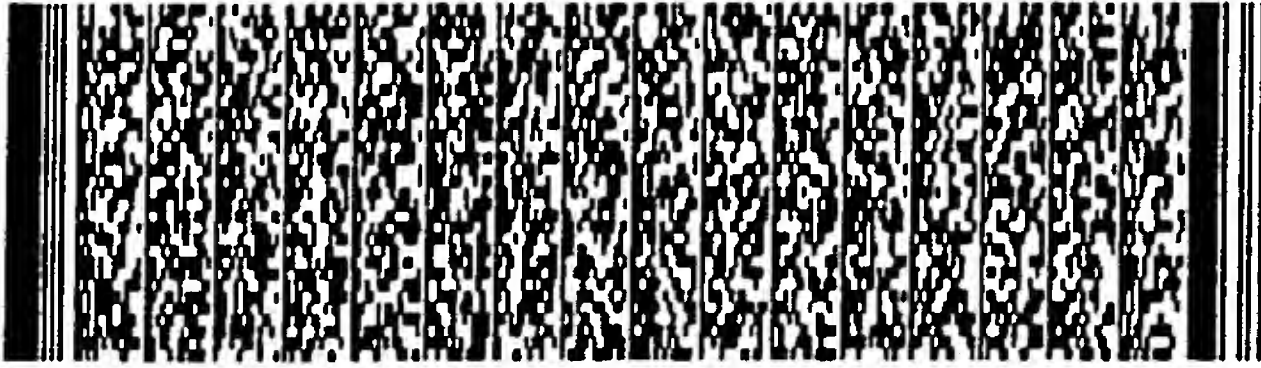


圖三

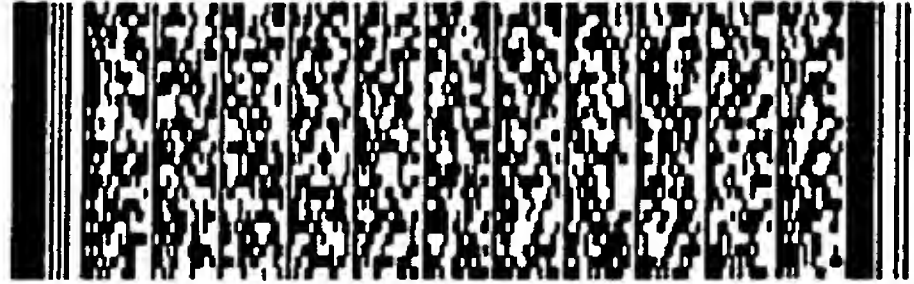


圖四

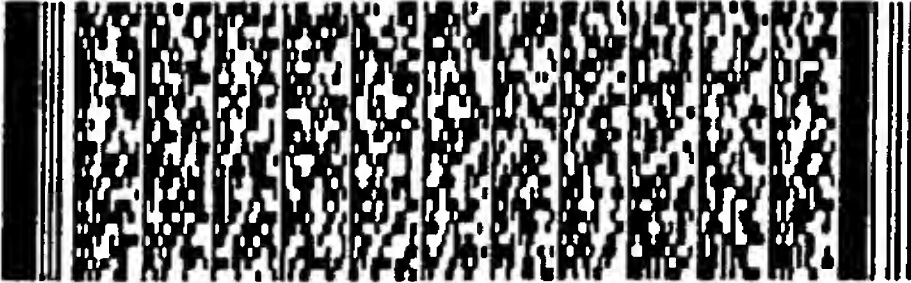
第 1/34 頁



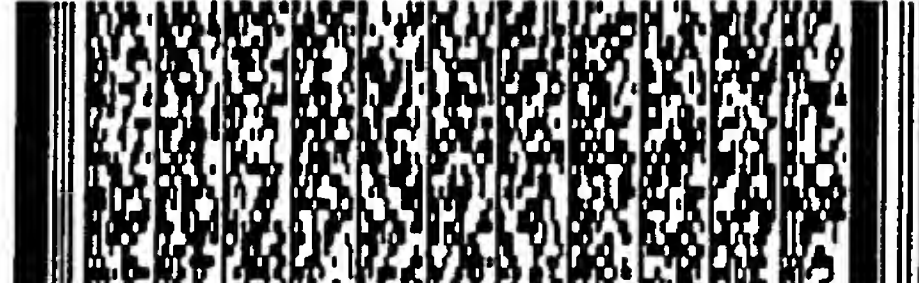
第 2/34 頁



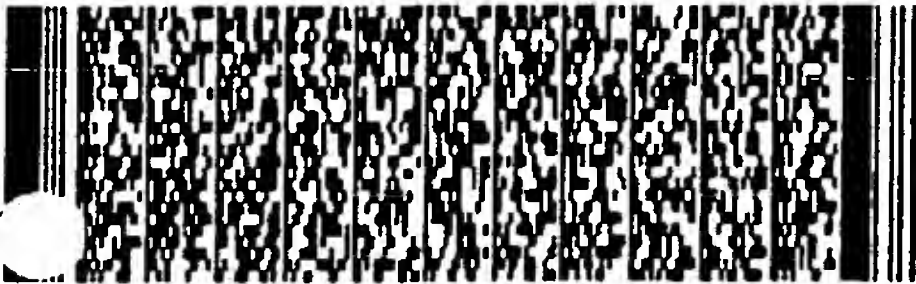
第 3/34 頁



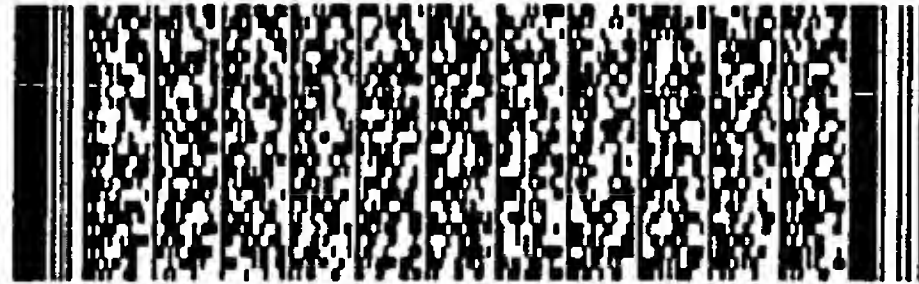
第 4/34 頁



第 5/34 頁



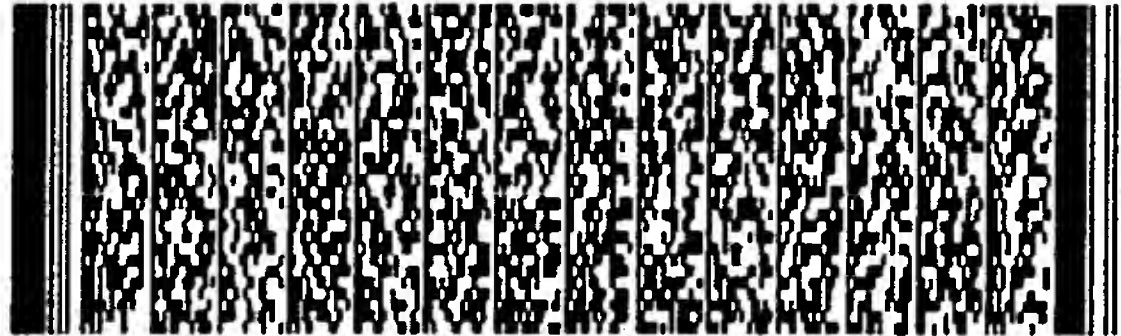
第 6/34 頁



第 7/34 頁



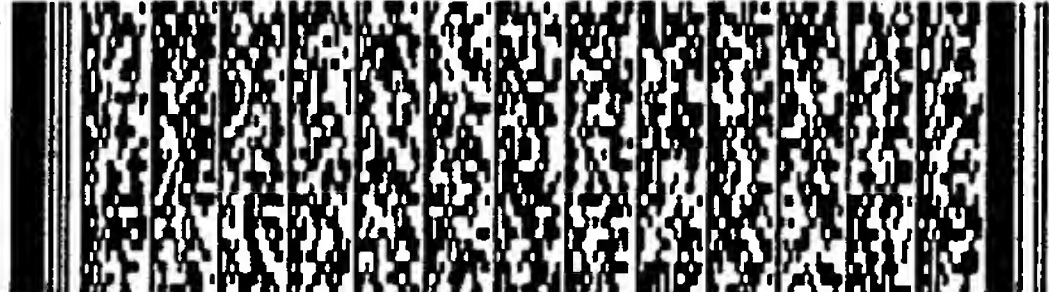
第 8/34 頁



第 8/34 頁



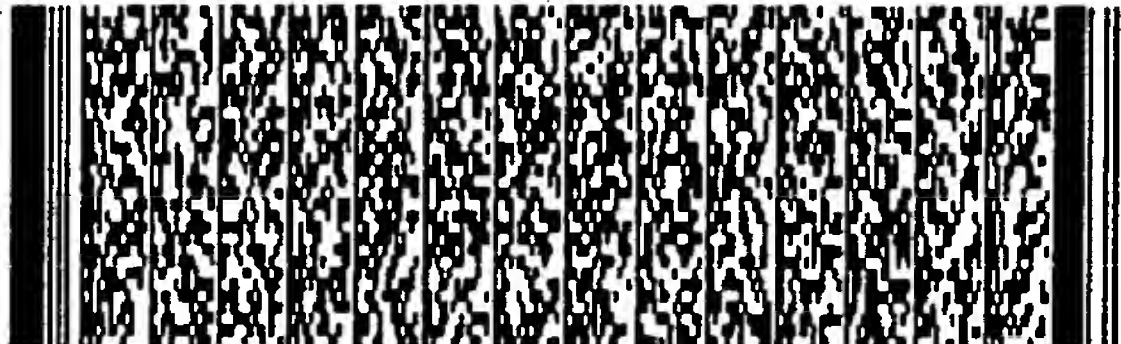
第 9/34 頁



第 10/34 頁



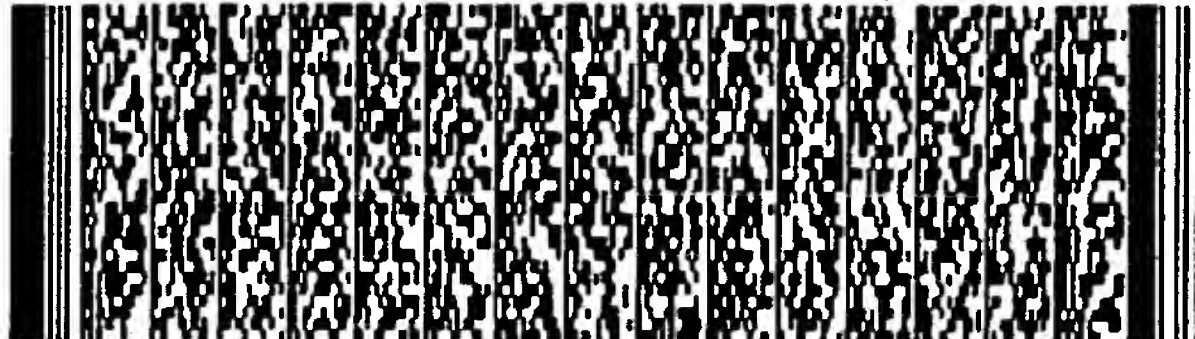
第 11/34 頁



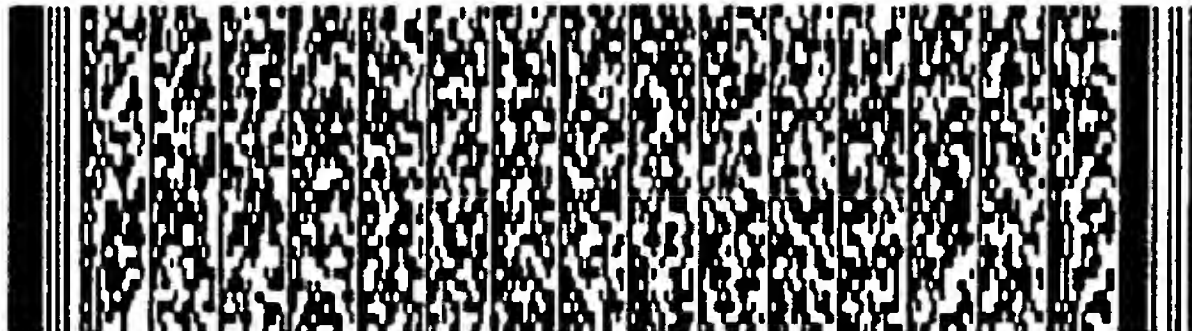
第 11/34 頁



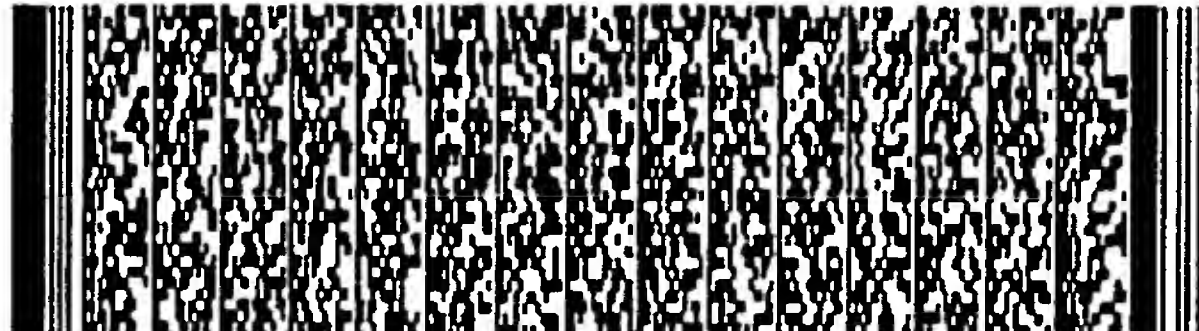
第 12/34 頁



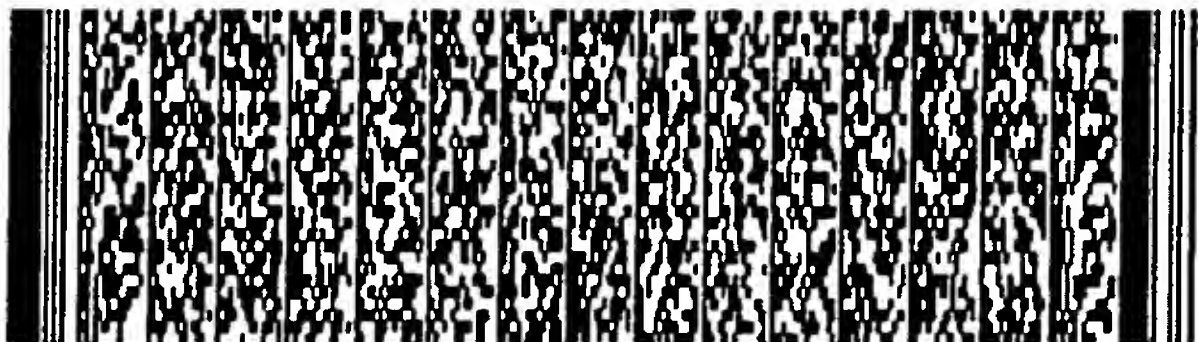
第 12/34 頁



第 13/34 頁



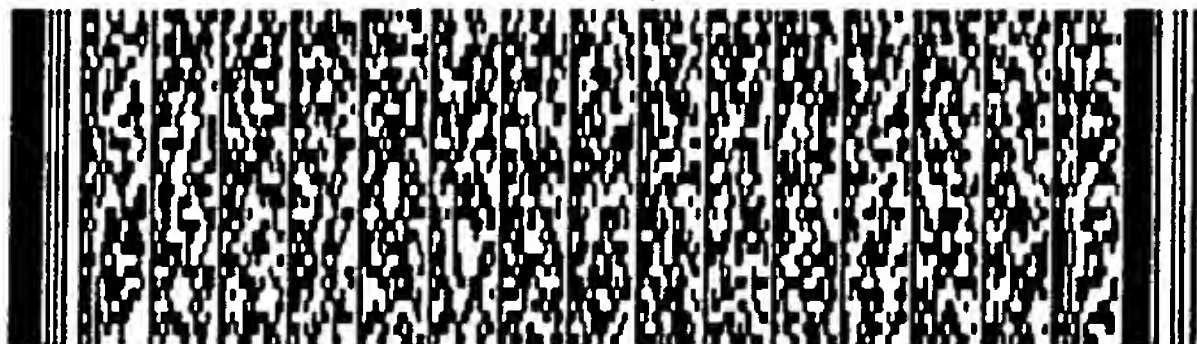
第 13/34 頁



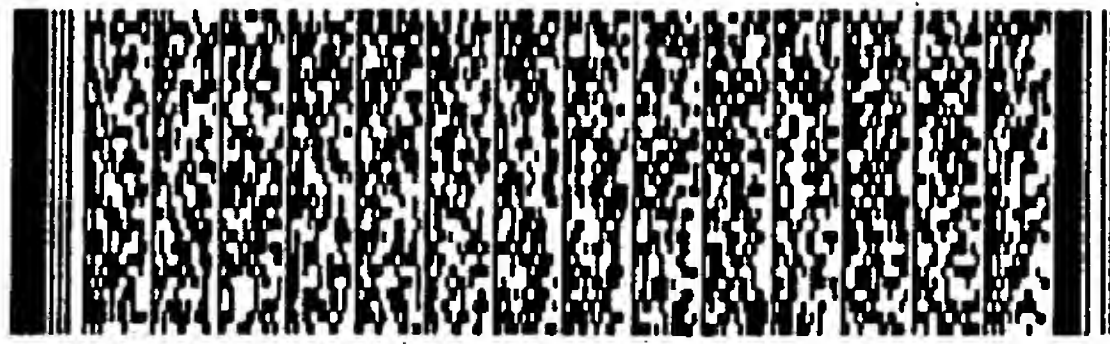
第 14/34 頁



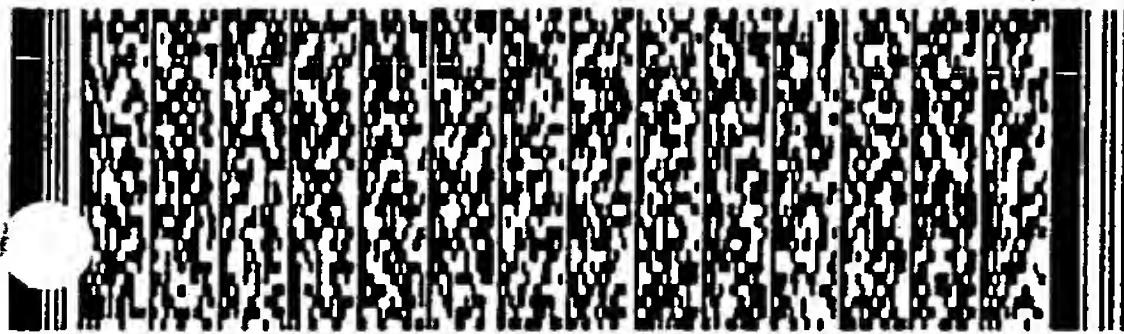
第 14/34 頁



第 15/34 頁



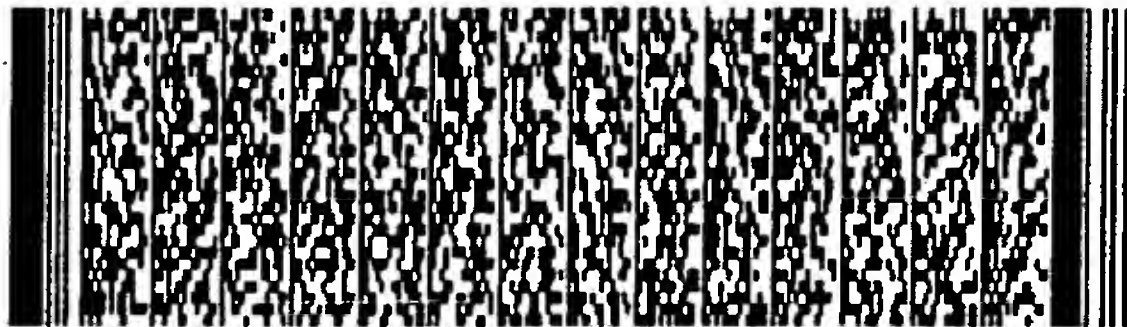
第 15/34 頁



第 16/34 頁



第 16/34 頁



第 17/34 頁



第 17/34 頁



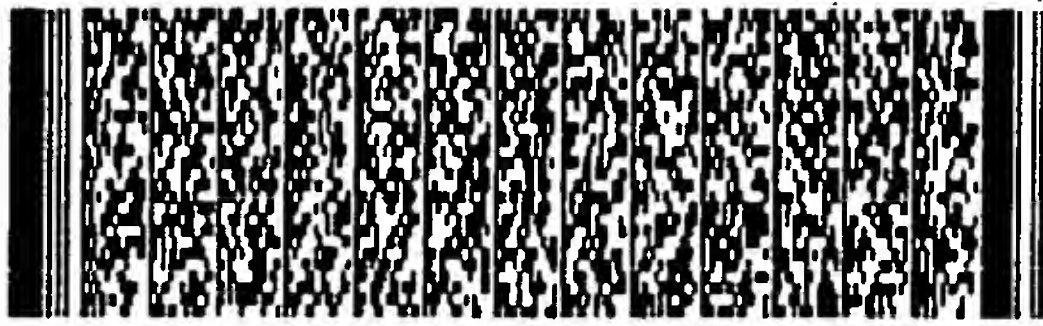
第 18/34 頁



18/34 頁



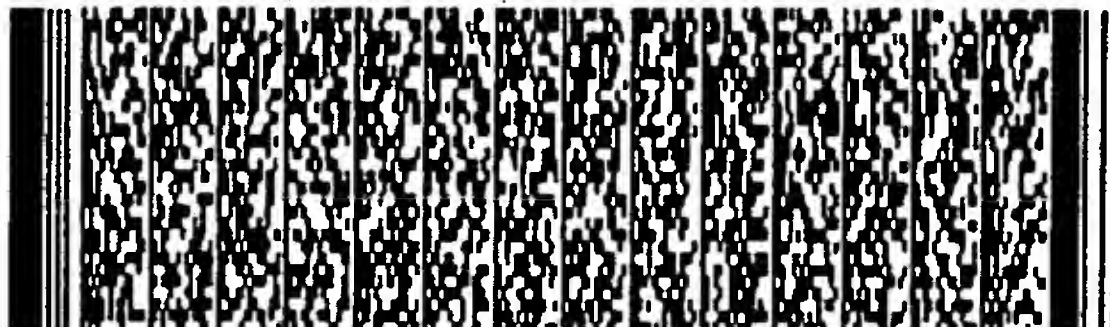
第 19/34 頁



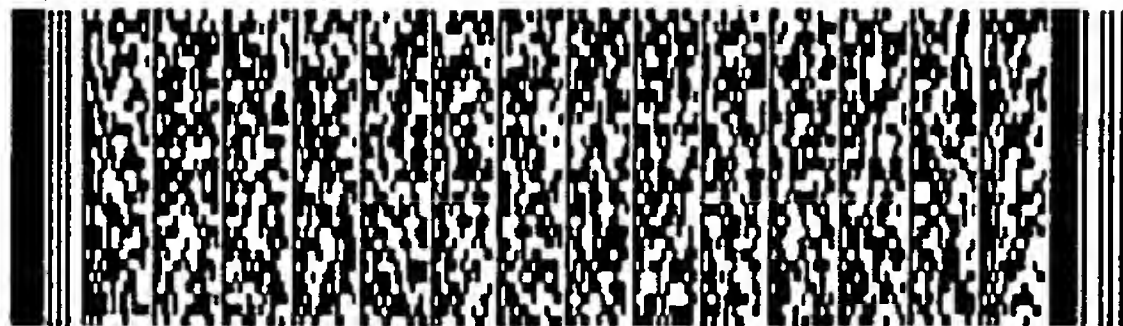
第 19/34 頁



第 20/34 頁



第 20/34 頁



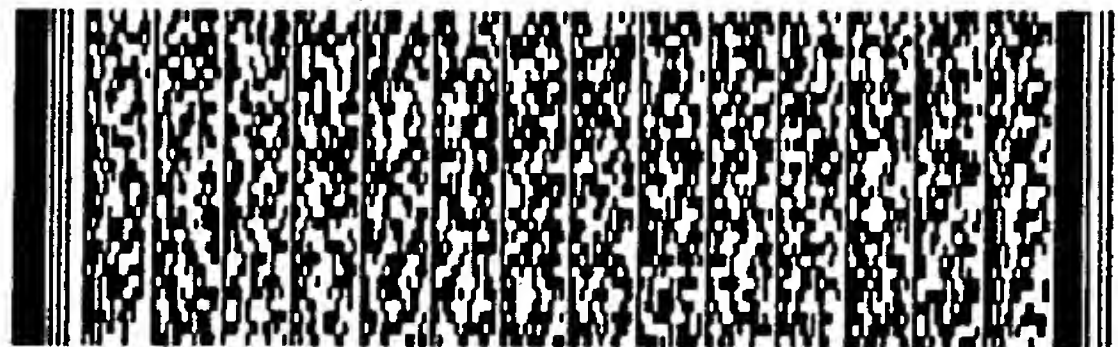
第 21/34 頁



第 21/34 頁



第 22/34 頁



第 22/34 頁



第 23/34 頁



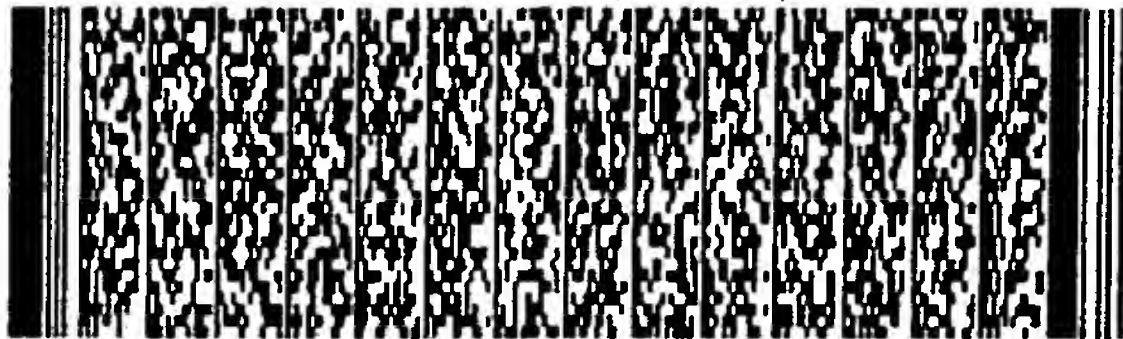
第 23/34 頁



第 24/34 頁



第 24/34 頁



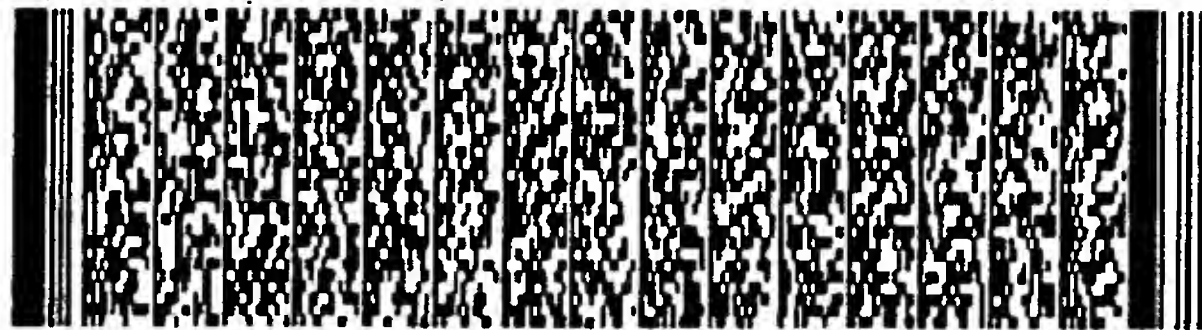
第 25/34 頁



第 25/34 頁



第 26/34 頁



26/34 頁



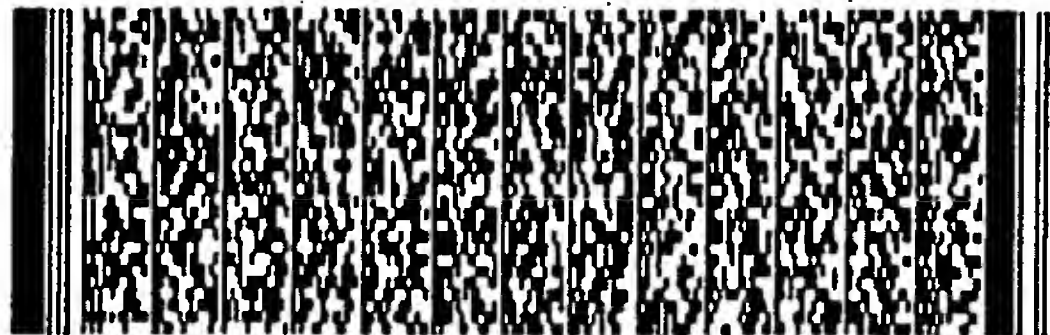
第 27/34 頁



第 28/34 頁



第 29/34 頁



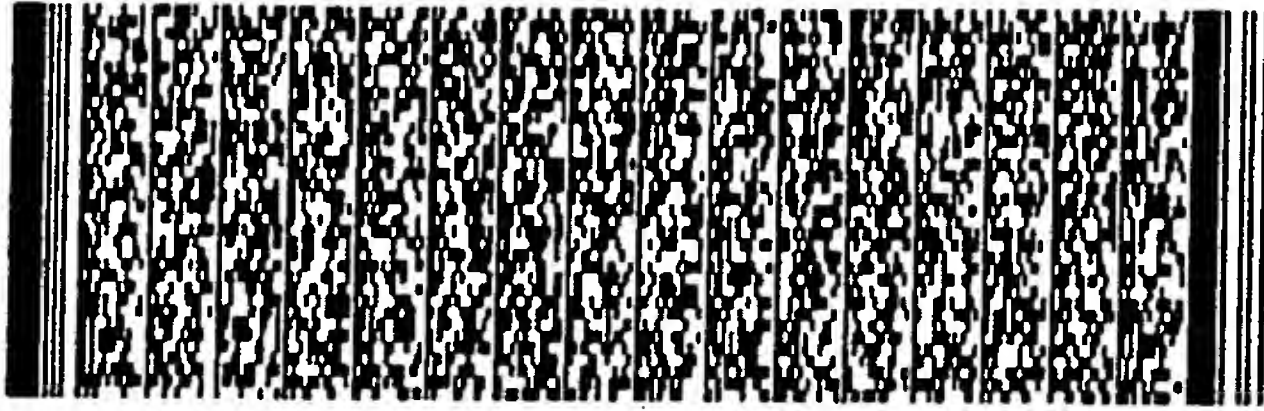
第 29/34 頁



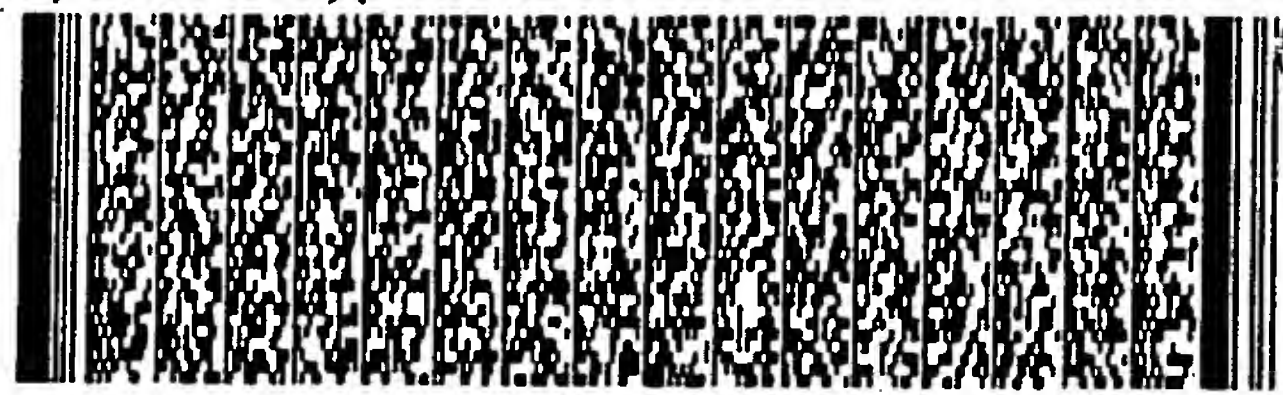
第 30/34 頁



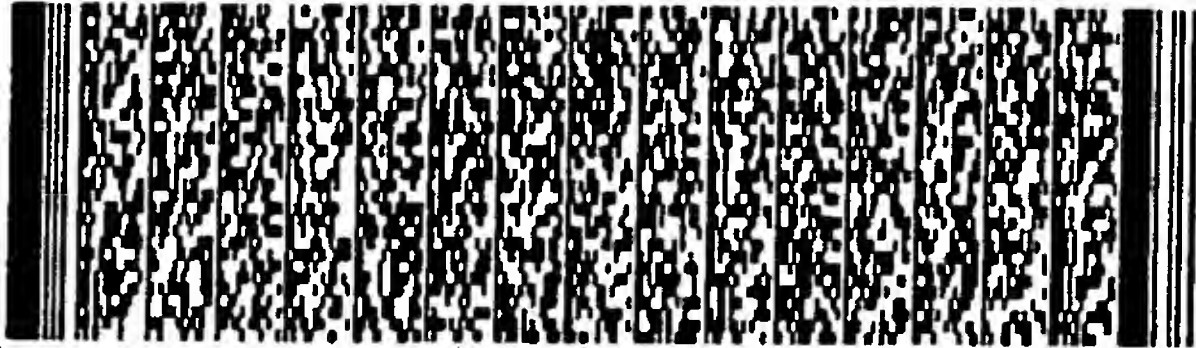
第 31/34 頁



第 32/34 頁



第 33/34 頁



第 34/34 頁

